



KOREAN PATENT ABSTRACTS

(11)Publication number: **1020020041665 A**
 (43)Date of publication of application: **03.06.2002**

(21)Application number: **1020000071341**
 (22)Date of filing: **28.11.2000**

(71)Applicant: **LG ELECTRONICS INC.
POSTECH FOUNDATION**
 (72)Inventor: **CHO, WON GI
HWANG, HUI YEONG
JUNG, SU HWAN
LEE, GEON HONG**

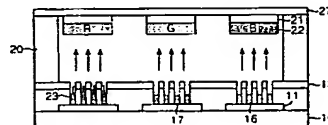
(51)Int. Cl. **H01J 1/30**

(54) METHOD FOR FABRICATING GATE HOLE, FIELD EMISSION DISPLAY DEVICE, AND METHOD FOR FABRICATING THE SAME

(57) Abstract:

PURPOSE: A method for fabricating a gate hole, a field emission display device, and a method for fabricating the same are provided to control discharging current by perform a fabricating process of a fine gate hole by using an anode oxidation process.

CONSTITUTION: An anode electrode(21) and a fluorescent material (22) are laminated on an upper substrate(27). An electron source such as a metal tip, a catalysis metal(16), and a carbon nano tube (17), a cathode electron and a resistance layer, a gate electrode formed on the resistance layer, and an insulating layer formed on the gate electrode are formed on a lower glass substrate(10). A spacer is formed on the lower glass substrate(10) in order to maintain a gap between the lower glass substrate(10) and the upper substrate(27) when the lower glass substrate(10) and the upper substrate(27) are adhered to each other.



COPYRIGHT KIPO 2002

Legal Status

Date of final disposal of an application (20031029)

Patent registration number (1004155970000)

Date of registration (20040106)

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2003101002858)

Date of requesting trial against decision to refuse (20030722)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01J 1/30

(11) 공개번호
(43) 공개일자

특2002-0041665
2002년06월03일

(21) 출원번호	10-2000-0071341
(22) 출원일자	2000년11월28일
(71) 출원인	엘지전자주식회사, 구자홍 대한민국 150-875 서울시영등포구여의도동20번지 학교법인 포항공과대학교, 정명식 대한민국 790-330 경북 포항시 남구 효자동 산31번지
(72) 발명자	조원기 대한민국 463-800 경기도성남시분당구미동(무지개마을)LGAPT213동403호 이건홍 대한민국 790-784 경상북도포항시남구효자동포항공과대학교전자컴퓨터공학부 정수환 대한민국 790-784 경상북도포항시남구효자동포항공과대학교전자컴퓨터공학부 황희영 대한민국 790-784 경상북도포항시남구효자동포항공과대학교전자컴퓨터공학부
(74) 대리인	김영호
(77) 심사청구	있음
(54) 출원명	게이트홀 제조 방법 및 전계방출소자와 그 제조방법

요약

본 발명은 양극산화공정을 이용한 게이트홀의 삼극구조로 하여 아주 낮은 구동전압과 균일한 전자방출이 가능한 새로운 소자와 그 제조방법을 제공하는데 있다.

본 발명의 게이트홀 제조방법은 기판상에 절연층과 금속층을 적층하는 단계와, 상기 금속층을 양극산화하여 상기 금속층내에 다수의 미세홀을 형성하는 단계와, 양극산화된 상기 금속패턴을 마스크로 하여 상기 금속패턴사이의 절연층을 제거함으로써 상기 절연층상에 절연홀을 형성하는 단계를 포함한다.

본 발명의 전계방출소자는 기판상에 절연층과 금속층을 적층하며 양극산화법과 사진식각법에 의해 형성되는 다수개의 미세홀과 상기 미세홀내에 위치하여 전자를 방출하는 이미터 및 상기 이미터로부터 전자를 인출하는 게이트전극을 포함하는 하부기판과, 투명전극과 형광체를 포함하는 상부기판과, 상기 상부기판상에 형성되어 상기 상부 및 하부기판의 진공갭을 유지하는 하는 스페이서를 구비한다.

대표도

도8

명세서

도면의 간단한 설명

도 1은 종래의 삼전극 CNT 전계 방출 소자를 나타내는 단면도.

도 2a 내지 도 2d는 도 1에 도시된 CNT전계 방출 소자의 제조방법을 단계적을 나타내는 단면도.

도 3은 본 발명의 실시 예에 따른 스펀트형의 전계방출소자의 게이트홀 제조방법을 단계적으로 나타내는 단면도.

도 4는 도 3에 도시된 게이트홀을 포함하는 전계방출소자의 제조방법을 단계적으로 나타내는 단면도.

도 5a 내지 도 5c는 도 4에 도시된 전계방출부를 형성하는 실시예를 나타내는 도면.

도 6은 도 5에 도시된 화소를 개략적으로 나타내는 도면.
 도 7은 도 6에서 선 "A-A"를 따라 절취하여 나타내는 화소의 단면도.
 도 8은 도 5에 도시된 3극 구조의 전계방출소자를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

- | | |
|---------------|------------------------|
| 10,64 : 하부기관 | 11 : 하부도전성전극(캐소드전극) |
| 12,66 : 절연층 | 13,65 : 상부도전성전극(게이트전극) |
| 14 : 알루미늄 박막 | 15 : 양극산화층 |
| 16 : 촉매 전이 금속 | 17 : 카본 나노 튜브 |
| 18 : 포토레지스터 | 19 : 저항층 |
| 20 : 스페이서 | 21 : 애노드전극 |
| 22,62 : 형광체 | 23,63 : 이미터 |
| 24,68 : 게이트홀 | 25,69 : 절연홀 |
| 27,60 : 상부기관 | 65a : 게이트금속층 |
| 66a : 절연물질층 | 70 : 음극 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 게이트홀의 제조방법과 전계방출소자 및 그 제조방법에 관한 것으로 특히, 양극산화공정을 이용한 초미세 게이트홀의 제조방법과, 낮은 구동 전압과 균일한 전자방출이 가능하도록 하는 전계방출 소자 및 그 제조방법에 관한 것이다.

최근들어, 신물질로 각광받고 있는 카본 나노튜브(Carbon Nanotube; 이하 "CNT"라 함)는 수 nm에서 수십 nm의 아주 작은 직경의 결정구조를 갖음과 아울러 내화학적 특성 및 기계적 강도가 우수하여 그의 응용이 기대되고 있다. 하나의 응용분야로서 CNT를 이용한 전계 방출 소자로의 제작이 연구되고 있는데, 특히 전계방출 표시 소자로의 응용이 기대되고 있다. 이는 CNT를 전계 방출 소자로 이용하는 경우 전자 방출 전압을 크게 낮출 수 있으므로 기존의 스피드형 팁이나 실리컨팁등과 같은 전계방출소자를 이용하는 것보다 구동전압을 낮출 수 있을 뿐만 아니라 CNT의 내화학적 특성 및 기계적 강도가 우수하여 신뢰성이 좋은 소자 제작이 가능하기 때문이다. CNT의 전계 방출 전압이 낮은 이유는 직경이 nm로 아주 작아 전계강화효과(Field Enhancement Factor)가 커서 전자방출이 일어나는 임계전계(Turn-on Field)가 1-5V/ μ m로 낮기 때문이다.

도 1은 종래의 삼극구조 CNT 전계 방출 소자를 나타낸 것이다.

도 1를 참고하면, 종래의 삼극구조 CNT 전계 방출 소자는 하부기관(64)상의 음극(70)과, 음극(70)상의 CNT 이미터(63) 및 절연층(66)과, 절연층(66)상의 게이트전극(65)과, 상부기관(60)상의 형광체(62)를 구비한다. 이러한 전계방출 소자에서는 음극(70)과 게이트전극(65)사이에 인가되는 전압에 의해 CNT이미터에서 전자가 방출되고, 방출된 전자는 상부기관(60)상의 양극(도시하지 않음)에 의해 가속되어 형광체(62)와 충돌하게 된다. 이 경우, 게이트전극(65)에 인가되는 전압에 의해 방출량을 제어하게 된다.

도 2a내지 도 2d는 도 1에 도시된 CNT 전계방출소자의 제조방법을 단계적으로 나타낸 것이다.

도 2a에 도시된 바와 같이 하부기관(64) 상에 음극(70)과 절연물질층(66a) 및 게이트금속층(65a)을 순차적으로 성막하게 된다. 이어서, 게이트금속층을(65a) 에칭함으로써 도 2b에 도시된 바와 같이 게이트홀(68)을 형성된 게이트전극(65)을 마련하게 된다. 그 다음, 게이트전극(65)의 홀(68)을 통해 절연물질층(66a)을 에칭하여 도 2c에 도시된 바와 같이 절연홀(69)이 형성된 절연층(66)을 마련하게 된다. 그리고, 게이트홀(68) 및 절연홀(69)을 통해 노출된 음극(70)상에 CNT를 성장시켜 도 2d에 도시된 바와 같이 CNT 이미터(63)를 형성하게 된다.

최근 마이크로팁형의 전계방출소자에 있어서 구동전압을 낮추기 위한 노력들이 행해져 왔다. 팁첨단부에 효율적인 전계집중과 낮은 구동전압을 달성하기 위해서는 팁 첨단부와 게이트홀과의 거리가 가까울수록 유리하다. 따라서 게이트홀의 크기를 1 μ m이하로 줄이면서 신뢰성과 대면적이 가능한 공정 개발이 필요한데, 지금까지의 게이트홀 크기를 서브 마이크로론(sub-micron)으로 형성가능한 방법들의 경우 새로운 추가 설비가 필요하며 공정상 상당히 복잡하다.

또한, 종래의 카본 나노 튜브를 이용한 발광 소자에 있어서 기관 상에 무작위 방향으로 성장시키거나 스크린 프린팅법으로 도포할 경우 모든 나노 튜브를 수직적으로 배열시키기가 어려울 뿐만 아니라 수직 정렬을 위한 새로운 공정이 개발 되어야 한다. 또한 게이트전극과 카본 나노 튜브의 거리가 일정하지 않은 경우 즉, 제조된 카본 나노 튜브들의 길이가 전체적으로 균일하지 않을 경우 동일한 전계집중이 될 수 없는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 양극산화공정을 이용하여 미세한 게이트홀의 제조공정을 제공하는 데 있다.

또, 초미세 게이트홀을 이용하여 낮은 전압으로 구동할 수 있는 전계 방출 소자를 제공하는데 있다. 뿐만 아니라, 카본 나노 튜브를 이용하여 전계를 효율적으로 집중시킬 수 있고, 전 시편에 걸쳐 항상 일정 높이의 카보 나노 튜브를 제조할 수 있는 제조공정을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 게이트홀 제조방법은 기판상에 절연층과 금속층을 적층하는 단계와, 상기 금속층을 양극산화하여 상기 금속층 내에 다수의 미세홀을 형성하는 단계와, 양극산화된 상기 금속패턴을 마스크로 하여 상기 금속패턴사이의 절연층을 제거함으로써 상기 절연층상에 절연홀을 형성하는 단계를 포함한다.

상기 목적을 달성하기 위하여 본 발명의 전계방출소자는 기판상에 절연층과 금속층을 적층하며 양극산화법과 사진식각법에 의해 형성되는 다수개의 미세홀과 상기 미세홀내에 위치하여 전자를 방출하는 이미터 및 상기 이미터로부터 전자를 인출하는 게이트전극을 포함하는 하부기판과, 투명전극과 형광체를 포함하는 상부기판과, 상기 상부기판상에 형성되어 상기 상부 및 하부기판의 진공갭을 유지하는 하는 스페이서를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 8를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 3a 내지 도 3d는 본 발명의 실시예에 따른 게이트홀 형성과정을 단계적으로 나타낸 단면도이다.

도 3a와 같이, 실리콘(Si)웨이퍼 혹은 유리기판(10)의 상부에 SiO₂를 고주파 마그네트론 스퍼터링(rf magnetron sputtering) 혹은 화학 기상법등의 방법으로 0.1~1 μ m두께로 절연층(12)을 증착한다. 연속공정으로 알루미늄 박막(14)을 고주파 또는 직류형 마그네트론 스퍼터링(rf or dc magnetron sputtering), 진공증착법 등으로 0.1~0.5 μ m두께로 성막한다. 여기서, 유리기판(10)의 경우에는 실리콘 웨이퍼 정도의 표면 거칠기를 갖는 것이 미세홀(24) 형성에 유리하며 절연층(12)을 증착할 때 산화물계가 아닌 질화물계를 사용해도 무방하다.

도 3b와 같이, 양극산화층(15)은 인산 혹은 옥살산 용액 중에서 알루미늄(Al)이 증착된 시편을 양극으로, 백금을 반대편 음극으로 하여 양단에 약 30~160V의 직류전압을 가하여 알루미늄(Al)이 산화되어 보호마스크로 이용되는 알루미늄나(Al₂O₃)로 되면서 10~100nm의 직경을 갖는 초미세홀(24)이 형성된다. 즉, 양극산화법에 의해 초미세홀이 형성된다.

도 3c와 같이, 양극 산화된 알루미늄나(15)를 보호마스크(hard mask)로 하여 SiO₂를 CHF₃와 O₂의 혼합가스 분위기하에서 이방성 반응 이온 에칭(reactive ion etching; 이하 "RIE"라 함)을 행하면 기판에 대하여 수직방향의 절연층 홀(cavity)(25)이 형성된다. 즉, 사진식각법에 의해 절연홀(25)이 형성된다.

도 3d와 같이, 알루미늄나를 습식 에칭하여 제거하면, 절연홀(25)이 형성된다. 이러한 절연홀(25)의 크기는 양극산화된 알루미늄나 미세홀(24)의 크기와 일치한다.

도 4a내지 도 4g는 본 발명의 3전극 구조를 나타내는 단면도이다.

도 4a에 도시된 바와 같이 유리기판(10)위에 하부전극(11)으로써 내열금속인 Cr, Nb, Mo, W등을 사용한다. 고온산화에 강한 Nb를 고주파 마그네트론 스퍼터링(rf magnetron sputtering)으로 약 1000Å 두께로 증착하고, 절연막(12)인 SiO₂의 RIE시 에칭을 종료하기 위하여 Cr을 약 50~100Å 정도 증착하는 2중막을 하부전극(11)으로 사용한다. 이후 포토레지스터(18)를 스핀 코팅하여 노광 및 현상을 하는 식각 공정으로 하부전극(11)을 패터닝하는 데 이 때 Cr은 습식 에칭을 이용하고 Nb는 CF₄와 O₂ 혼합가스 분위기에서 RIE를 실시하여 도 4b에 도시된 바와 같이 캐소드전극(11)을 형성한다.

하부전극(11)을 형성한 다음 도 4c에 도시된 바와 같이 절연막(12)으로 산화물 혹은 질화물을 사용하는데, 발광소자에서는 SiO₂를 반응성 스퍼터링 혹은 저압 화학기상법(LPCVD)으로 0.5~5 μ m 두께로 증착한다. 이후 연속 공정으로 양극 산화를 위한 알루미늄(Al)과 게이트전극 재료인 Nb, Ti, W등을 증착하는데, 하부전극인 캐소드전극(11)과 동일한 재료를 사용해도 무방하다. 원하는 부분에 미세홀(24)을 형성하기 위하여 도 4d에 도시된 바와 같이 포토레지스터(18)를 스핀코팅하여 노광 및 현상을 하는 식각공정으로 패턴을 형성한다. 여기서, 하나의 화소를 형성할 수 있는 마스크나 혹은 저항층용 마스크를 이용한다. 다음으로 도 4e에 도시된 바와 같이 양극산화 하면 초미세홀(24)이 형성된다. 포토레지스터(18)를 제거한 후 미세홀(24)을 갖는 양극 산화된 알루미늄나(15)를 보호마스크로 하여 이방성 건식에칭을 행한다. 이미 캐소드 전극(11)위에 크로마늄(Cr)이 있기 때문에 이를 에칭 종료층(etch stop layer)로 활용한다. 이후 알루미늄나(15)를 습식 에칭하여 제거하면 도 4g에 도시된 바와 같은 모양의 절연홀(25)이 형성된다. 이 때 절연홀(25)의 크기는 양극산화된 알루미늄나 미세홀(24)의 크기와 일치한다. 도시되지 않은 어드레스 구동을 위한 게이트전극(13)의 패턴형성공정이 다음에 행해진다. 패턴 형성방법은 캐소드 패턴 방법과 동일하며, 최종적인 화소모양은 도 6에 나타나 있다.

도 5a 내지 도 5c는 본 발명의 실시 예에 따른 3전극구조의 전계방출소자를 나타내는 단면도이다.

도 5a와 같이, 금속팁형태의 3극 구조의 전계방출소자의 미세팁을 형성하는 공정은 게이트 홀(24) 내부에 증착되지 않도록 희생층을 경사경각 후, 이미터(23) 재료인 금속 팁을 수직 진공 증착을 행한 다음 희생층을 리프트 오프(lift-off)하면 이미터(23)인 금속팁을 형성할 수 있는데 종래의 팁형성공정과 동일하다. 다만, 게이트 홀(24)의 직경이 약 수백~수천 Å 정도이며 이에 맞춰 게이트절연층(12)의 높이를 조절하면 된다.

도 5b와 같이, CNT를 이용한 3극 구조의 전계방출소자의 카본 나노 튜브(17)를 선택적으로 성장하기 위한 공정은 촉매전이 금속(16)을 미세홀이 있는 절연층(12) 기저부에 전기 도금법으로 증착한다. 캐소드전극(11)을 음극으로 하여 Co를 약 1~10nm 두께로 절연층기저부에 있는 캐소드 전극(11)위에 전착한다. 카본 나노 튜브(17)는 촉매금속이 있는 미세홀 기저부에서 선택적으로 성장하게 되는데, 시편을 반응기 내부에 장입하고 반응기 온도를 약 600~900℃ 범위에서 유지한 다음 연료가스인 아세틸렌을 흘리면 미세홀 기저부에 있는 촉매 금속(16)에서 카본 나노 튜브(17)가 성장하기 시작한다. 최종 높이는 게이트 전극(13) 높이 바로 아래까지 성장시키면 되는데 이를 성장시간으로 조절한다. 이렇게 하여 최종적인 하판이 제작된다.

도 5c와 같이, 금속 뿔쪽팁의 3극 구조전계방출소자는 양극산화하여 형성된 미세홀 내부를 금속으로 채워놓은 구조로써 미세홀의 크기가 작아 이미터(23)로 사용된다. 금속을 채우는 방법으로는 캐소드 하부 전극(11)을 음극으로 하여 전기도금법 혹은 진공증착을 하면 다른 공정없이도 뿔쪽한 금속을 형성할 수 있다. 사용될 수 있는 금속으로는 내열성이 강한 Cr, Ta, Mo, Ti, Ni, Co등이 있다.

도 6은 본 발명의 한 화소에 해당되는 대표적인 개략도를 나타낸 것이다.

도 7은 도 6에서 선 "A-A"를 따라 절취하여 화소의 단면도를 나타낸 것이다.

도 6 및 도 7를 결부하여 설명하면, 캐소드전극(11)과 게이트전극(13)이 상호 교차되어 형성되어 어드레스 가능하도록 되어 있으며, 또한 균일한 전자 방출을 위하여 저항층(19)이 한 화소내에 4영역으로 나뉘어 설계되어 있다. 따라서 한 영역이 아킹(arcing)등의 영향으로 파괴되더라도 다른 부분이 보완하다. 즉, 하나의 화소내에서 하나 이상의 영역으로 저항층(19)을 설계할 수 있다. 이와 아울러 게

이트전극(13)에는 게이트홀(24)이 형성되고 각각의 게이트 홀(24)에 대응하여 캐소드전극(11)상에 이미터(23)가 형성된다. 이렇게 형성된 캐소드전극(11)을 접지전위로 하고 게이트전극(13)에 전압을 인가하면 두 전극(11,13)이 교차하는 부분에 위치하는 이미터(23)들의 침투에는 고전계가 걸리고 이러한 고전계에 의해 전자가 방출된다. 이 때, 전자가 방출되기 위한 게이트전극(13)의 전압은 게이트홀(24)의 크기가 작아질수록 낮아지며, 이미터(23)의 재료 특성에 따라 달라진다.

도 8를 참고하면, 애노드전극(21) 및 형광체(22)가 적층된 상부기관(27)과, 금속팁 및 촉매 금속(16) 그리고 카본 나노 튜브(17) 등의 전자원과, 캐소드전극 및 저항층(19)과 저항층(19)상에 형성되는 게이트전극과, 게이트전극상에 형성되는 절연층이 형성되는 하부기관(10)을 구비한다. 또한, 하부기관(10)상에는 상부기관(27)과 합착시 하부 유리기관(10)과 상부기관(27)간의 갭을 유지함과 아울러 진공공력을 견디기 위한 스페이서(20)가 형성된다.

상부기관(27)은 유리기관위에 투명전극를 패턴 형성한 후 각각 3가지의 형광체를 도포한다. 캐소드전극(11)들과 게이트전극(13)들에 순차적으로 전압을 인가해줌으로써 두 전극(11,13)이 교차하는 지점의 이미터(23)들로부터 전자들이 방출되어 마주보고 있는 형광체(22)를 발광시킴으로써 각각의 화소를 순차적으로 발광시킨다. 형광체(22)가 도포된 애노드전극(21)에는 고압이 인가되어 이미터(23)에서 방출된 전자를 가속시켜 대응하는 형광체(22)에 충돌하도록 한다.

이 때, 개별 화소의 휘도 및 칼라구현은 이미터(23)와 게이트전극(13)간에 걸어주는 전압차에 의해 방출되는 전류량이 달라지는 원리를 이용하여 휘도를 조절할 수 있으며 인접한 적색(R), 녹색(G), 청색(B)의 세 개 화소의 휘도조절을 통하여 칼라구현이 가능해진다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 전계방출소자는 양극산화공정을 이용하여 미세공의 크기와 밀도를 제어하므로 카본 나노 튜브의 밀도를 조절할 수 있어 방출 전류를 제어할 수 있으며 박막 증착과 양극 산화 공정만으로 대면적화가 가능하다.

또한, 이러한 양극산화공정은 종래 팁형태의 전계방출소자의 게이트 홀 형성 공정에도 적용할 수 있어서 종래기술보다 아주 낮은 구동전압으로 방출전류를 제어할 수 있으며 양극 산화 공정으로 게이트홀 크기를 10nm까지도 쉽게 조절할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.

기관상에 절연층과 금속층을 적층하는 단계와,

상기 금속층을 양극산화하여 상기 금속층내에 다수의 미세홀을 형성하는 단계와,

양극산화된 상기 금속패턴을 마스크로 하여 상기 금속패턴사이의 절연층을 제거함으로써 상기 절연층상에 절연홀을 형성하는 단계를 포함하는 것을 특징으로 하는 전계방출소자의 게이트홀 제조방법.

청구항 2.

제 1항에 있어서,

상기 금속층의 재료는 알루미늄(Al)을 이용하는 것을 특징으로 하는 전계방출소자의 게이트홀 제조방법.

청구항 3.

기관상에 절연층과 금속층을 적층하며 양극산화법과 사진식각법에 의해 형성되는 다수개의 미세홀과 상기 미세홀내에 위치하여 전자를 방출하는 이미터 및 상기 이미터로부터 전자를 인출하는 게이트전극을 포함하는 하부기관과,

투명전극과 형광체를 포함하는 상부기관과,

상기 상부기관상에 형성되어 상기 상부 및 하부기관의 진공갭을 유지하는 하는 스페이서를 구비하는 것을 특징으로 하는 전계방출소자.

청구항 4.

제 3항에 있어서,

상기 금속층의 재료는 알루미늄(Al)을 이용하는 것을 특징으로 하는 전계방출소자.

청구항 5.

제 3항에 있어서,

상기 이미터의 재료는 카본 나노 튜브 및 금속 중 어느 하나인 것을 특징으로 하는 전계방출소자.

청구항 6.

제 4항에 있어서,

상기 이미터 전자가 방출되는 면이 평면인것을 특징으로 하는 전계방출소자.

청구항 7.

제 4항에 있어서,

상기 이미터 전자가 방출되는 면이 원추형인것을 특징으로 하는 전계방출소자.

청구항 8.

기관상에 절연층과 금속층을 적층하며 양극산화법과 사진식각법에 의해 형성되는 다수개의 미세홀과 상기 미세홀내에 위치하여 전자를 방출하는 이미터 및 상기 이미터로부터 전자를 인출하는 게이트전극을 하부기판에 포함하는 단계와,

투명전극과 형광체를 상부기판에 포함하는 단계와,

상기 상부기판상에 형성되어 상기 상부 및 하부기판의 진공갭을 스페이서로 유지하는 단계를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

청구항 9.

제 8항에 있어서,

상기 금속층의 재료는 알루미늄(Al)을 이용하는 것을 특징으로 하는 전계방출소자의 제조방법.

청구항 10.

제 8항에 있어서,

상기 이미터의 재료는 카본 나노 튜브 및 금속 중 어느 하나인 것을 특징으로 하는 전계방출소자의 제조방법.

청구항 11.

제 10항에 있어서,

상기 이미터 전자가 방출되는 면이 평면인것을 특징으로 하는 전계방출소자의 제조방법.

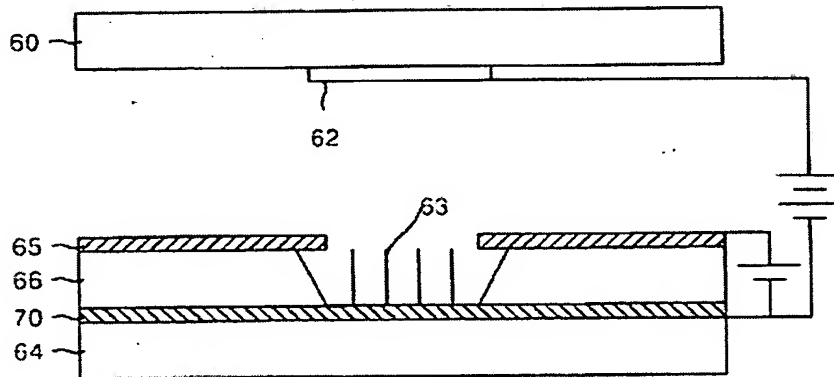
청구항 12.

제 10항에 있어서,

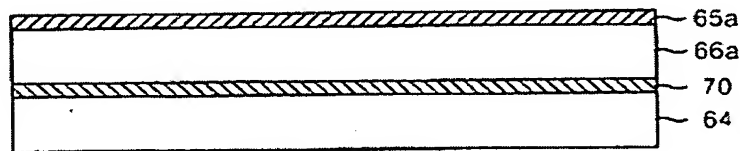
상기 이미터 전자가 방출되는 면이 원추형인것을 특징으로 하는 전계방출소자의 제조방법.

도면

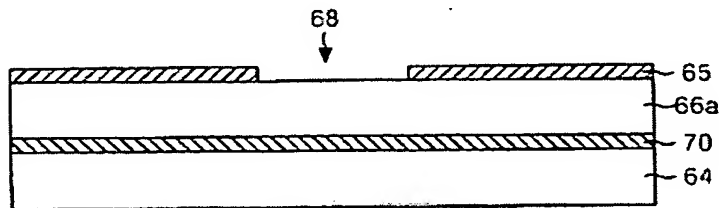
도면 1



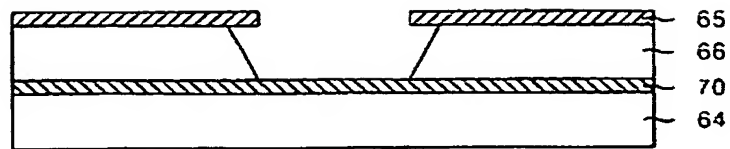
도면 2a



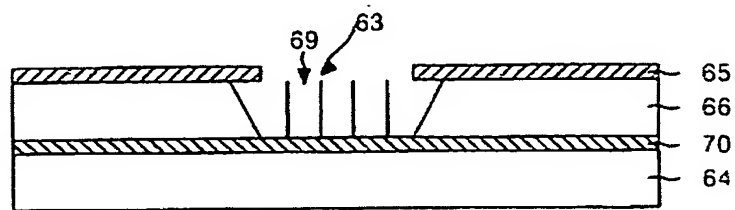
도면 2b



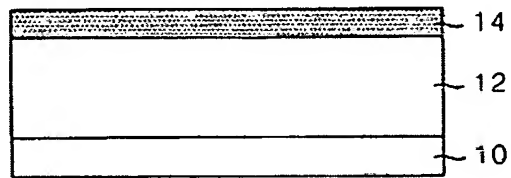
도면 2c



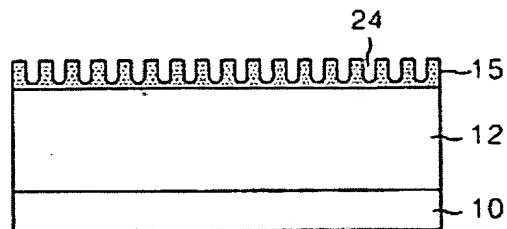
도면 2d



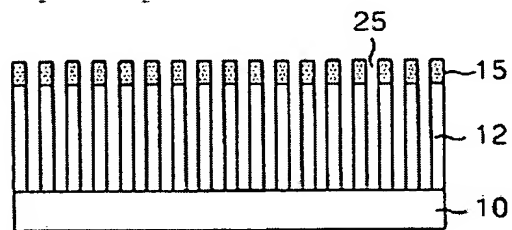
도면 3a



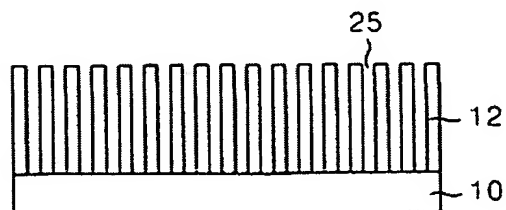
도면 3b



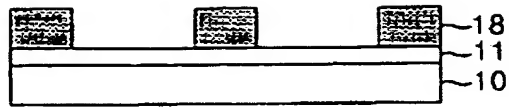
도면 3c



도면 3d



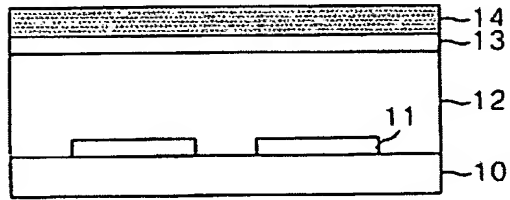
도면 4a



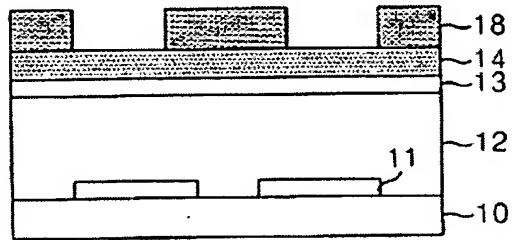
도면 4b



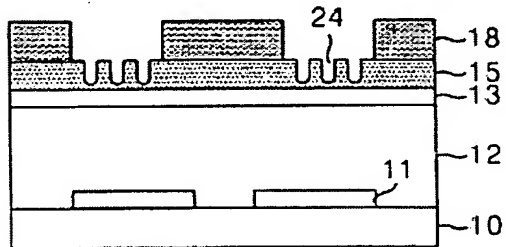
도면 4c



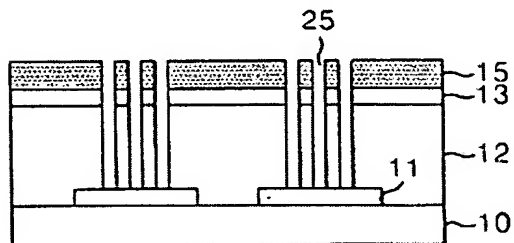
도면 4d



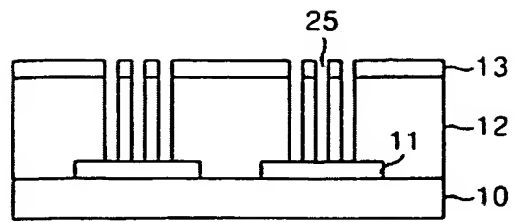
도면 4e



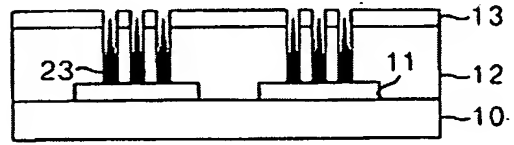
도면 4f



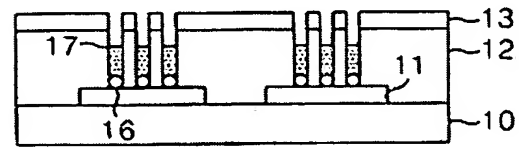
도면 4g



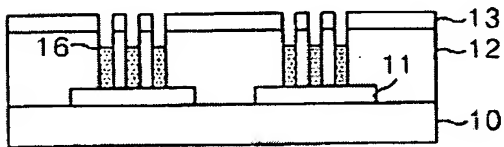
도면 5a



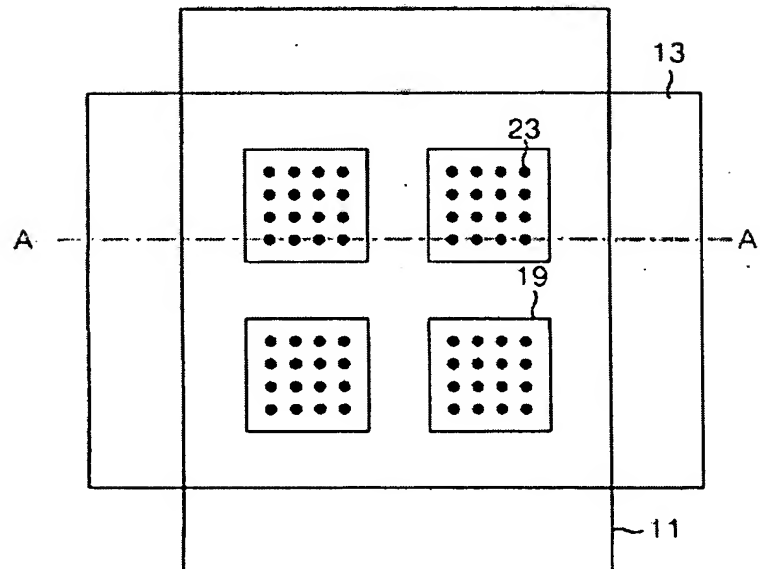
도면 5b



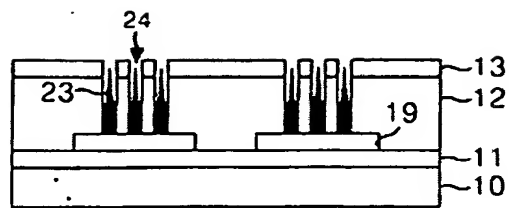
도면 5c



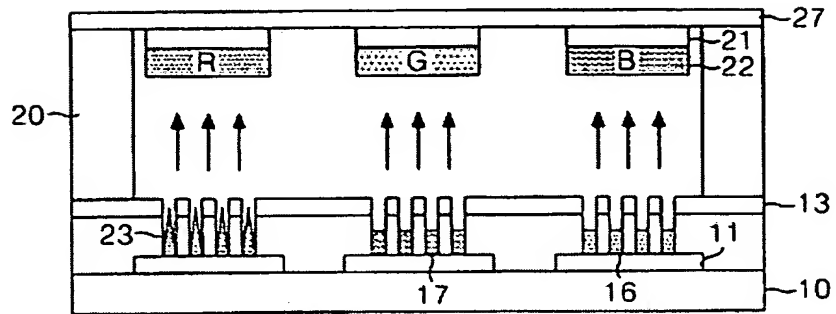
도면 6



도면 7



도면 8



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199398
(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H01J 1/30

(21)Application number : 09-019998

(71)Applicant : RICOH CO LTD

(22)Date of filing : 16.01.1997

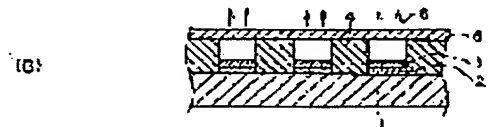
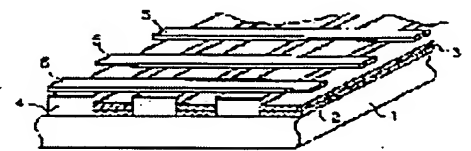
(72)Inventor : SATO SHIRO

(54) ELECTRON GENERATING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize an FED (cold cathode type electron emission element) which can carry out a low vacuum operation, a stable large current operation, and a low voltage operation, which cannot be carried out by the conventional FED, and can carry out an individual operation.

SOLUTION: A graphite 2 to be a cathode is provided about $1\mu\text{m}$ on a glass substrate 1. And furthermore, a carbon nanotube layer 3 to be an electron emitting layer is provided at several μm thereon. This nanotube has the diameter from 10 to 40nm, and the length from 0.5 to several μm . Those members are formed in the line form in the vertical direction to a section figure. Furthermore, at both sides of a line form electron emission layer (the width of about $30\mu\text{m}$), an insulating area 4 which consists of a silicon oxide membrane is provided in the line form with the width of approximately $20\mu\text{m}$ and the thickness of approximately $7\mu\text{m}$. A wiring electrode 5 is provided vertical to the electron emitting part (parallel to the section figure) thereover, so as to form a grid electrode. By applying a positive voltage to grid 5, and a negative voltage to a cathode 2, electrons 6 are discharged in the directions of the arrows.



LEGAL STATUS

[Date of request for examination] 08.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3568345

[Date of registration] 25.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]